



Università degli Studi di Salerno

Dipartimento di Ingegneria dell'Informazione ed Ingegneria Elettrica

Dottorato di Ricerca in Ingegneria dell'Informazione
XI Ciclo – Nuova Serie

ABSTRACT
TESI DI DOTTORATO

Analysis and Design of 4H-SiC Bipolar Mode Field Effect Power Transistor (BMFET)

CANDIDATO: **LUIGI DI BENEDETTO**

TUTOR: **PROF. SALVATORE BELLONE**

COORDINATORE: **PROF. ANGELO MARCELLI**

Anno Accademico 2011 – 2012

L'attività di tesi è incentrata sull'analisi e sulla progettazione di una nuova famiglia di transistori di potenza in Carburo di Silicio di politipo 4H (4H-SiC). Il dispositivo è il Bipolar Mode Field Effect Transistor (BMFET) ed il suo funzionamento si basa su due meccanismi fisici: *i*) in fase di interdizione, la presenza di una barriera di potenziale, dovuta al punch-through del canale, "blocca" il flusso degli elettroni dal source al drain; *ii*) in fase di conduzione, l'iniezione dei portatori minoritari dal gate al canale aumenta la conducibilità di quest'ultimo, riducendo la resistenza di uscita. La struttura del transistor è oxide-free e i maggiori vantaggi riguardano la bassa resistenza di uscita, gli alti valori della densità di corrente di uscita e della tensione di blocco, l'elevata frequenza di switching. Tali prestazioni rendono il dispositivo competitivo con altre topologie di transistori in 4H-SiC già presenti sul mercato, come JFETs e BJTs.

A tale attività di progettazione, culminata con la definizione dell'intero set di maschere e l'individuazione degli steps di processo per la fabbricazione dei prototipi, si è affiancata un'attività tecnologica per la realizzazione di un diodo di freewheeling integrato ed un'intensa attività di modellazione delle caratteristiche elettriche del dispositivo, validata da confronti con i risultati di un simulatore numerico commerciale (ATLAS, Silvaco Inc.) e con le misure effettuate su prototipi e su dispositivi commerciali aventi struttura simile a quella del BMFET.

Riguardo alla prima attività, un originale raddrizzatore Schottky in 4H-SiC è stato fabbricato; in particolare, per la prima volta in letteratura, il Pentossido di DiVanadio (V_2O_5), che è un Ossido di Metallo di Transizione, è stato impiegato come contatto di anodo del diodo. Tale dispositivo è un'etero-giunzione tra un sottile film di V_2O_5 , il quale è evaporato termicamente e ha spessori di circa $5nm$, e uno strato epitassiale di tipo n a basso drogaggio in 4H-SiC. Dall'analisi delle curve J_D-V_D e C_D-V_D , la struttura ha un comportamento rettificante con un rapporto alto/basso della corrente maggiore di sette ordini di grandezza e il meccanismo di trasporto è descritto dal modello di emissione termionica. La giunzione è caratterizzata da una barriera Schottky ed un fattore di idealità tra $0.78eV$ e $0.85eV$ e tra 1.025 e 1.06 , rispettivamente, a $T=25^\circ C$.

Poiché la concentrazione di drogaggio del gate influenza le prestazioni del BMFET in termini di resistenza di ingresso, guadagno di corrente in DC e tensione di blocco, il processo di impiantazione ionica degli atomi di Alluminio, che è l'atomo drogante di tipo accettore impiegato nel 4H-SiC, è analizzato per studiare gli effetti della dose impiantata e della temperatura di annealing. Si mostrerà come la necessità di una bassa resistenza di conduzione del BMFET, la quale è possibile con regioni di gate altamente conduttive in modo da permettere alti livelli di iniezione dei portatori minoritari, sia contrastata dalla incompleta ionizzazione dell'Alluminio, limitando fortemente la densità di carica iniettata dal gate nel canale. Per tale scopo, in collaborazione con l'IMM (Istituto per la Microelettronica e i Microsistemi) del CNR di Bologna, si sono analizzati gli effetti di diverse dosi di impianto di Al e diverse temperature di annealing ($1650-1900^\circ C$) sull'efficienza di iniezione del gate.

Dalla prima introduzione dei JFETs in silicio con comportamento normally-off negli anni '80, la descrizione dell'altezza della barriera di potenziale nel canale non è stata pienamente risolta a causa della complessa relazione tra la geometria del canale e delle condizioni di polarizzazione. Dunque, nella seconda attività un modello analitico dell'altezza della barriera di potenziale è proposto e confrontato con i risultati delle simulazioni numeriche cambiando la lunghezza e la profondità di canale nel range dei $0.1\div 6\mu m$ e $0.5\div 3\mu m$, rispettivamente, la concentrazione del drogaggio del canale tra $10^{14}\div 10^{17} cm^{-3}$ e le tensioni di ingresso e di uscita. In più, il modello è stato validato usando anche il silicio come semiconduttore in modo da estendere la sua applicabilità ad altri dispositivi con strutture simili, come BSITs, VJFETs e SITs. Da un'ulteriore sviluppo del modello, si è riusciti a descrivere le trans-caratteristiche del transistor sia in condizione di sub-threshold e sia nella fase di conduzione unipolare ed il confronto con dati sperimentali e numerici ha convalidato i risultati.

Infine, l'analisi del diodo di ingresso durante la fase di spegnimento è stata affrontata, poiché la capacità di commutazione del BMFET dipende dall'estrazione della carica immagazzinata nel canale durante la fase di conduzione. Il risultato è lo sviluppo di un modello analitico che descrive

la distribuzione spaziale del campo elettrico, della concentrazione della carica minoritaria e della densità della corrente dei portatori nello strato epitassiale ad ogni istante durante lo spegnimento, in aggiunta ovviamente ai transitori della corrente e della tensione. E' mostrato come la combinazione di questo modello con un altro modello analitico dedicato alle caratteristiche statiche, già sviluppato in una precedente tesi di dottorato, è un utile strumento per comprendere come i parametri fisici, i quali sono dipendenti sul processo di fabbricazione, come il tempo di vita dei portatori e la concentrazione del drogaggio, possono influire sulle prestazioni del diodo.